

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-338974  
 (43)Date of publication of application : 07.12.2001

(51)Int.CI. H01L 21/76

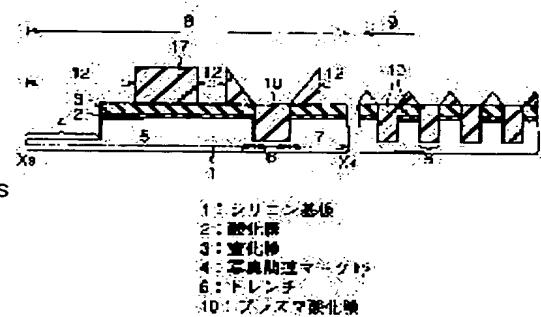
(21)Application number : 2000-157902 (71)Applicant : MITSUBISHI ELECTRIC CORP  
 (22)Date of filing : 29.05.2000 (72)Inventor : FUJIISHI YOSHITAKA  
 UENO ATSUSHI

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide the manufacturing method of a semiconductor device wherein excessive grinding is prevented during chemical and mechanical grinding and influence given to the main part of the periphery is eliminated.

**SOLUTION:** A plasma oxidation film 10 is formed on a semiconductor board 1 so as to embed a recess part 4 and a trench 6. A resist film 11 is masked to selectively etch the plasma oxidation film 10, and a support member 17 for excessive grinding prevention being a support for the excessive grinding during the chemical and mechanical grinding in the neighborhood of the recess part 4 being a photograph associated mark part is left. The surface of the semiconductor board 1 is ground by the chemical and mechanical grinding. Thereafter a nitrogen film 3 and an oxidation film 2 are removed.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-338974

(P2001-338974A)

(43)公開日 平成13年12月7日 (2001.12.7)

(51)Int.Cl.<sup>7</sup>

H01L 21/76

識別記号

F I

H01L 21/76

テマコード(参考)

L 5F032

審査請求 未請求 請求項の数 8 OL (全 9 頁)

(21)出願番号

特願2000-157902(P2000-157902)

(22)出願日

平成12年5月29日 (2000.5.29)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 藤石 義隆

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 上野 敏史

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100064746

弁理士 深見 久郎 (外4名)

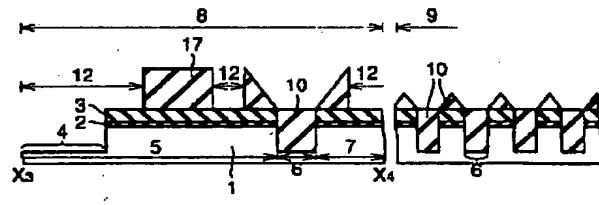
Fターム(参考) 5F032 AA34 AA44 AA69 AA77 DA04  
DA25 DA33 DA77 DA78 DA80

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 化学的機械的研磨時における過研磨を防ぎ、周囲の本番部へ与える影響をなくすることができるよう改良された半導体装置の製造方法を提供することを主要な目的とする。

【解決手段】 凹部4およびトレンチ6を埋込むように、半導体基板1の上にプラズマ酸化膜10を形成する。レジスト膜11をマスクにして、プラズマ酸化膜10を選択的にエッチングし、写真関連マーク部である凹部4の近傍に、化学的機械的研磨時の過研磨に対する支えとなる過研磨防止用支え部材17を残す。半導体基板1の表面を化学的機械的研磨により研磨する。その後、窒化膜3および酸化膜2を除去する。



1:シリコン基板

2:酸化膜

3:窒化膜

4:写真関連マーク部

6:トレンチ

10:プラズマ酸化膜

## 【特許請求の範囲】

【請求項1】 シャロートレンチ分離を有する半導体装置の製造方法であって、  
 本番部と、ダイシング部を含むチップ外周部と、を形成する予定の半導体基板の上に、酸化膜と窒化膜を順次形成する第1工程と、  
 前記チップ外周部の写真関連マークを形成する部分と、前記本番部のトレンチを形成する部分に、開口部ができるように、前記酸化膜および窒化膜をバーニングする第2工程と、  
 前記バーニングされた酸化膜および窒化膜をマスクにして、前記半導体基板の表面をエッティングし、前記トレンチを形成し、かつ前記写真関連マークを形成する部分に凹部を形成する第3工程と、  
 前記凹部および前記トレンチを埋込むように前記半導体基板の上に、プラズマ酸化膜を形成する第4工程と、  
 前記トレンチ部の上と前記写真関連マークの近傍の一部の上を覆うレジスト膜を、前記プラズマ酸化膜の上に形成する第5工程と、  
 前記レジスト膜をマスクにして、前記プラズマ酸化膜を選択的にエッティングし、前記写真関連マークの近傍に、化学的機械的研磨時の過研磨に対する支えとなる過研磨防止用支え部材を残す第6工程と、  
 前記レジスト膜を除去する第7工程と、  
 前記半導体基板の表面を化学的機械的研磨により研磨する第8工程と、  
 前記窒化膜および酸化膜を除去する第8工程と、を備えた半導体装置の製造方法。  
 【請求項2】 前記過研磨防止用支え部材が、前記プラズマ酸化膜の上で、複数個並列するように、前記レジスト膜のパターンを選んで、前記第6工程のエッティングを行なう、請求項1に記載の半導体装置の製造方法。  
 【請求項3】 前記過研磨防止用支え部材が、前記写真関連マーク部の付近に、ドットパターンの形状になって残るように、前記レジスト膜のパターンを選んで、前記第6工程のエッティングを行なう、請求項1に記載の半導体装置の製造方法。  
 【請求項4】 シャロートレンチ分離を有する半導体装置の製造方法であって、  
 本番部と、ダイシング部を含むチップ外周部と、を形成する予定の半導体基板の上に、酸化膜と窒化膜を順次形成する工程と、  
 前記チップ外周部の写真関連マークを形成する部分と、前記本番部のトレンチを形成する部分に、開口部ができるように、前記酸化膜および窒化膜をバーニングする工程と、  
 前記バーニングされた酸化膜および窒化膜をマスクにして、前記半導体基板の表面をエッティングし、前記トレンチを形成し、かつ前記写真関連マークを形成する部分に凹部を形成する工程と、

前記凹部および前記トレンチを埋込むように前記半導体基板の上に、プラズマ酸化膜を形成する工程と、  
 前記トレンチ部の上を覆うレジスト膜を、前記プラズマ酸化膜の上に形成する工程と、  
 前記レジスト膜をマスクにして、前記プラズマ酸化膜をエッティング除去する工程と、  
 前記レジスト膜を除去する工程と、  
 前記半導体基板の表面を化学的機械的研磨により研磨する工程と、  
 前記窒化膜および酸化膜を除去する工程と、を備えた半導体装置の製造方法において、  
 前記写真関連マークを、集中させないで、分散して形成することを特徴とする、半導体装置の製造方法。  
 【請求項5】 シャロートレンチ分離を有する半導体装置であって、  
 本番部と、ダイシング部を含むチップ外周部と、を形成する予定の半導体基板の上に、酸化膜と窒化膜を順次形成し、  
 前記チップ外周部の写真関連マークを形成する部分と、前記本番部のトレンチを形成する部分に、開口部ができるように、前記酸化膜および窒化膜をバーニングし、バーニングされた前記酸化膜および窒化膜をマスクにして、前記半導体基板の表面をエッティングし、前記トレンチを形成し、かつ前記写真関連マークを形成する部分に凹部を形成し、  
 前記凹部および前記トレンチを埋込むように前記半導体基板の上に、プラズマ酸化膜を形成し、  
 前記トレンチ部の上と前記写真関連マークの近傍の一部の上を覆うレジスト膜を、前記プラズマ酸化膜の上に形成し、  
 前記レジスト膜をマスクにして、前記プラズマ酸化膜をエッティングし、前記写真関連マークの近傍に、化学的機械的研磨時の過研磨に対する支えとなる、過研磨防止用支え部材を残し、  
 前記レジスト膜を除去し、  
 前記半導体基板の表面を化学的機械的研磨により研磨し、  
 前記窒化膜および酸化膜を除去し、  
 前記本番部に素子を形成してなる半導体装置。  
 【請求項6】 前記過研磨防止用支え部材が、前記プラズマ酸化膜の上で、複数個並列して残るよう、前記レジスト膜のパターンを選び、前記エッティングを行なってなる、請求項5に記載の半導体装置。  
 【請求項7】 前記過研磨防止用支え部材が、前記写真関連マーク部の付近に、ドットパターンの形状になって残るように、前記レジスト膜のパターンを選び、エッティングを行なってなる、請求項5に記載の半導体装置。  
 【請求項8】 シャロートレンチ分離を有する半導体装置であって、  
 本番部と、ダイシング部を含むチップ外周部と、を形成

する予定の半導体基板の上に、酸化膜と窒化膜を順次形成し、

前記チップ外周部の写真関連マークを形成する部分と、前記本番部のトレンチを形成する部分に、開口部ができるように、前記酸化膜および窒化膜をパターニングし、パターニングされた前記酸化膜および窒化膜をマスクにして、前記半導体基板の表面をエッティングし、それによって、前記トレンチを形成し、かつ前記写真関連マークを形成する部分に凹部を形成し、前記凹部および前記トレンチを埋込むように前記半導体基板の上に、プラズマ酸化膜を形成し、前記トレンチ部の上を覆うレジスト膜を前記半導体基板の上に形成し、前記レジスト膜をマスクにして、前記プラズマ酸化膜をエッティング除去し、前記レジスト膜を除去し、前記半導体基板の表面を化学的機械的研磨により研磨し、前記窒化膜および酸化膜を除去し、前記本番部に素子を形成してなる半導体装置において、前記写真関連マークを、集中させずに、分散して形成してなることを特徴とする、半導体装置。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】この発明は、一般に半導体装置の製造方法に関するものであり、より特定的には、化学的機械的研磨時の過研磨を防止し、周囲の本番部へ与える影響をなくすることができるよう改良された半導体装置の製造方法に関する。この発明は、また、そのような製造方法によって得られた半導体装置に関する。

##### 【0002】

【従来の技術】以下の説明では、ステッパーのアライメントマークを写真関連マークの一例として説明する。図14は、密集パターン(本番部)9とチップ外周部(ダイシングを含む)8の断面図である。

【0003】図14を参照して、シリコン基板1の上に、酸化膜2と窒化膜3を順次成膜する。従来の写真製版およびエッティング技術により、分離部6と写真関連マーク部4を形成する。図15を参照して、分離部6や写真関連マーク部4に、高密度プラズマ酸化膜10を埋める。これによって、分離領域が形成される。微細化が進むと、LOCOS技術では、バーズピークにより、活性領域が縮小するため、このような分離技術が採用されている。

【0004】このとき、高密度プラズマ酸化膜10は異方性を保ちながら堆積するため、図15を参照して、分離部6や写真関連マーク部4と窒化膜3上に高密度プラズマ酸化膜10が形成される。窒化膜3の上に形成された高密度プラズマ酸化膜10の高さだけの、段差が、シリコン基板1の上に生じる。また、密集パターン(本番

部)9では、活性領域が小さいので、高密度プラズマ酸化膜10は、分離部6から順に堆積されて、活性領域の中央部分で、交わる。したがって、図のように、高密度プラズマ酸化膜10の断面形状は、密集パターン部9において、山形であり嶺ができる。活性領域上に形成される高密度プラズマ酸化膜10の高さは、チップ外周部8に形成される高密度プラズマ酸化膜10の膜厚以下になる。このために、チップ外周部(ダイシングを含む)8のような疎なパターンと、密集パターン(本番部)9との間にも、段差ができる。

【0005】図15に示す半導体装置の平面図が図20である。すなわち、図20における、X<sub>1</sub>-X<sub>2</sub>線に沿う断面図が、図15である。

【0006】上述の段差を後工程に残さないために、化学的機械的研磨技術(以下、CMPという)により、シリコン基板1の表面を平坦化するのであるが、そのまま、CMPしても段差が大きすぎて、高密度プラズマ酸化膜10が残ってしまうか、あるいはCMPが窒化膜3の表面で止まらずに、過研磨が生じてしまう。

【0007】そこで、従来技術では、図16に示すように、分離部6の上に、レジスト膜11を形成する。次に、図16と図17を参照して、レジスト膜11をマスクにして、高密度プラズマ酸化膜10を、エッティングで除去する。このような、CMP研磨前に、予め大きな、活性領域上の、高密度プラズマ酸化膜10を除去することを、以下、ブリエッチと呼ぶことにする。

【0008】ブリエッチを行なう活性領域の大きさを定義するには、ブリエッチの写真製版時の重ね合わせずれとレジスト寸法の変動のマージンが必要である。パターンエッジでは、斜めに高密度プラズマ酸化膜10が堆積されるので、堆積量(デポ量)が0.4~0.5μmであると、斜めの部分も0.4~0.5μmとなり、片側で0.4~0.5μmのマージンが必要である。

【0009】ブリエッチ写真製版の微細化対応度で異なるが、ブリエッチができる活性領域の大きさは、1.0~2.0μm以上のパターンが必要である。よって、たとえば、メモリデバイスのセルのような、活性領域が1.0μm以下の微細パターンでは、ブリエッチができない。写真関連マーク部4については、図17に示すように、ブリエッチ時に埋まっている高密度プラズマ酸化膜10をエッティングする。これは、トランസファゲート(TG)との後工程レイヤーとの重ね合わせにおいて、重ね合わせレイヤーで、メタル系の材料を使用すると、下地(F<sub>L</sub>)とは段差がない(このままCMPすると平坦化されて段差がなくなる)と精度が落ちるからである。

【0010】ブリエッチ時に写真関連マーク部4の高密度プラズマ酸化膜10をエッティングしなくても、後工程のレイヤーとの重ね合わせのためには、どこかで、写真関連マーク部4の高密度プラズマ酸化膜10を除去する

工程(写真製版、エッティング)が必要であるので、従来技術では工程削減(コスト削減)のために、プリエッチ時に写真関連マーク部4の高密度プラズマ酸化膜10を除去している。

【0011】図17に示す装置の平面図に相当するのが、図21である。すなわち、図17は、図21におけるX<sub>1</sub>-X<sub>2</sub>線に沿う断面図である。

【0012】図21を参照して、写真関連マーク部4では、高密度プラズマ酸化膜10はエッティング除去されている。

【0013】図18を参照して、シリコン基板1の表面を、CMP研磨する。これにより、塗化膜3上の高密度プラズマ酸化膜10は除去される。このとき、従来技術では、写真関連マーク部4に段差ができるおり、そこにCMPの研磨圧力13が他の部分よりも大きくかかり、かつ段差部には、化学的研磨の原因となるスラリーも溜まりやすい。

【0014】したがって、写真関連マーク部4の段差では、化学的研磨も、他の部分よりも、より多く進行する。また、CMPで除去すべき高密度プラズマ酸化膜10が存在しないので、CMP時には、いきなり塗化膜3の研磨が起り、塗化膜3も削れやすくなる。そのためには、密集パターン9の塗化膜3上の高密度プラズマ酸化膜10を除去する分だけ、CMP研磨を行なうと、写真関連マーク部4を中心として、過研磨14が起こる。過研磨14がひどいと、密集パターン9の領域まで、過研磨されてしまうことになる。

【0015】その後、図19を参照して、従来技術で、塗化膜3およびパッド酸化膜2を除去すると、図中、Aで示す部分で、基板削れ15が起つたり、パターンエッジで高密度プラズマ酸化膜10の方がシリコン基板1の表面よりも、下に位置して、落ち込むことになる。

【0016】図19の装置の平面図が、図22である。すなわち、図22におけるX<sub>1</sub>-X<sub>2</sub>線に沿う断面図が、図19である。

【0017】図23は、従来の本番チップでの、写真関連マーク部4の配置を示した図である。このような写真関連マーク部4が複数個集まると、CMP時の研磨圧力がさらに集中し、そこを起点とする基板削れ15や落ち込みは拡大する。写真関連マークとしては、ステッパー等の重ね合わせに用いるグローバルマークやファインアライメントに用いるLSAマークやFIAマーク、また、重ね合わせ検査に用いるマーク、写真的目視検査用のバニアなどがある。同じマークでも、重ね合わせるレイヤーが異なる場合は、その分の数だけ、同じマークが必要となる。

【0018】基板削れは基板リーケやゲート酸化膜の信頼性の劣化の原因となり、パターンエッジでの落ち込みは、トランジスタの逆ナロー効果やサブスレッシュルド特性にハンプができてしまい、トランジスタ特性を劣化

させる。また、過研磨の程度がひどいと、写真関連マーク自体もまともに形成できず、検出精度も落ちる。

#### 【0019】

【発明が解決しようとする課題】本発明は、このようなCMPによる過研磨を防ぎ、周囲の本番部へ与える影響をなくすることができるよう改良された半導体装置の製造方法を提供することにある。

【0020】この発明の他の目的は、そのような製造方法によって得られた半導体装置を提供することにある。

#### 【0021】

【課題を解決するための手段】この発明の第1の局面に従う半導体装置の製造方法は、シャロートレンチ分離を有する半導体装置の製造方法に係る。まず、本番部と、ダイシング部を含むチップ外周部と、を形成する予定の半導体基板の上に、酸化膜と塗化膜を順次形成する(第1工程)。上記チップ外周部の写真関連マークを形成する部分と、上記本番部のトレンチを形成する部分に、開口部ができるように、上記酸化膜および塗化膜をパターニングする(第2工程)。上記パターニングされた酸化膜および塗化膜をマスクにして、上記半導体基板の表面をエッティングし、上記トレンチを形成し、かつ上記写真関連マークを形成する部分に凹部を形成する(第3工程)。上記凹部および上記トレンチを埋込むように上記半導体基板の上に、プラズマ酸化膜を形成する(第4工程)。上記トレンチ部の上と上記写真関連マークの近傍の一部の上を覆うレジスト膜を、上記プラズマ酸化膜の上に形成する(第5工程)。上記レジスト膜をマスクにして、上記プラズマ酸化膜を選択的にエッティングし、上記写真関連マークの近傍に、化学的機械的研磨時の過研磨に対する支えとなる過研磨防止用支え部材を残す(第6工程)。上記レジスト膜を除去する(第7工程)。上記半導体基板の表面を化学的機械的研磨により研磨する(第8工程)。上記塗化膜および酸化膜を除去する(第8工程)。

【0022】この発明の好ましい実施態様によれば、上記過研磨防止用支え部材が、上記プラズマ酸化膜の上で、複数個並列するように、上記レジスト膜のパターンを選んで、上記第6工程のエッティングを行なう。

【0023】この発明のさらに好ましい実施態様によれば、上記過研磨防止用支え部材が、上記写真関連マーク部の付近に、ドットパターンの形状になって残るよう上記レジスト膜のパターンを選んで、上記第6工程のエッティングを行なう。

【0024】この発明の第2の局面に従う半導体装置の製造方法は、シャロートレンチ分離を有する半導体装置の製造方法に係る。まず、本番部と、ダイシング部を含むチップ外周部と、を形成する予定の半導体基板の上に、酸化膜と塗化膜を順次形成する。上記チップ外周部の写真関連マークを形成する部分と、上記本番部のトレンチを形成する部分に、開口部ができるように、上記酸

化膜および塗化膜をパターニングする。上記パターニングされた酸化膜および塗化膜をマスクにして、上記半導体基板の表面をエッチングし、上記トレンチを形成し、かつ上記写真関連マークを形成する部分に凹部を形成する。上記凹部および上記トレンチを埋込むように上記半導体基板の上に、プラズマ酸化膜を形成する。上記トレンチ部の上を覆うレジスト膜を、上記プラズマ酸化膜の上に形成する。上記レジスト膜をマスクにして、上記プラズマ酸化膜をエッチング除去する。上記レジスト膜を除去する。上記半導体基板の表面を化学的機械的研磨により研磨する。上記塗化膜および酸化膜を除去する。この発明においては、上記写真関連マークを、集中させないで、分散して形成することを特徴とする。

【0025】この発明の第3の局面に従う半導体装置は、シャロートレンチ分離を有する半導体装置に係る。この半導体装置は以下の工程を経て、作られるものである。まず、本番部と、ダイシング部を含むチップ外周部と、を形成する予定の半導体基板の上に、酸化膜と塗化膜を順次形成する。上記チップ外周部の写真関連マークを形成する部分と、上記本番部のトレンチを形成する部分に、開口部ができるように、上記酸化膜および塗化膜をパターニングする。パターニングされた上記酸化膜および塗化膜をマスクにして、上記半導体基板の表面をエッチングし、上記トレンチを形成し、かつ上記写真関連マークを形成する部分に凹部を形成する。上記凹部および上記トレンチを埋込むように上記半導体基板の上に、プラズマ酸化膜を形成する。上記トレンチ部の上と上記写真関連マークの近傍の一部の上を覆うレジスト膜を、上記プラズマ酸化膜の上に形成する。上記レジスト膜をマスクにして、上記プラズマ酸化膜をエッチングし、上記写真関連マークの近傍に、化学的機械的研磨時の過研磨に対する支えとなる、過研磨防止用支え部材を残す。上記レジスト膜を除去する。上記半導体基板の表面を化学的機械的研磨により研磨する。上記塗化膜および酸化膜を除去する。上記本番部に素子を形成する。

【0026】この発明の好ましい実施態様によれば、上記過研磨防止用支え部材が、上記プラズマ酸化膜の上で、複数個並列して残るよう、上記レジスト膜のパターンを選び、上記エッチングを行なう。

【0027】この発明のさらに好ましい実施態様によれば、上記過研磨防止用支え部材が、上記写真関連マーク部の付近に、ドットパターンの形状になって残るよう、上記レジスト膜のパターンを選び、エッチングを行なってなる。

【0028】この発明の第4の局面に従う半導体装置は、シャロートレンチ分離を有する半導体装置に係る。この発明に係る半導体装置は、以下の工程を経由することによって作られる。まず、本番部と、ダイシング部を含むチップ外周部と、を形成する予定の半導体基板の上に、酸化膜と塗化膜を順次形成する。上記チップ外周部

の写真関連マークを形成する部分と、上記本番部のトレンチを形成する部分に、開口部ができるように、上記酸化膜および塗化膜をパターニングする。パターニングされた上記酸化膜および塗化膜をマスクにして、上記半導体基板の表面をエッチングし、上記トレンチを形成し、かつ上記写真関連マークを形成する部分に凹部を形成する。上記凹部および上記トレンチを埋込むように上記半導体基板の上に、プラズマ酸化膜を形成する。上記トレンチ部の上を覆うレジスト膜を上記半導体基板の上に形成する。上記レジスト膜をマスクにして、上記プラズマ酸化膜をエッチング除去する。上記レジスト膜を除去する。上記半導体基板の表面を化学的機械的研磨により研磨する。上記塗化膜および酸化膜を除去する。上記本番部に素子を形成する。この発明に係る半導体装置の特徴は、上記写真関連マークを、集中させずに、分散して形成してなることを特徴とする。

【0029】

【発明の実施の形態】以下、この発明の実施の形態を図について説明する。

【0030】実施の形態1

まず、図14および図15に示す従来技術と同様の工程を経由する。

【0031】次に、図1を参照して、トレンチ部6と写真関連マーク4の近傍の一部を覆うレジスト膜11を、プラズマ酸化膜10の上に形成する。

【0032】図1と図2を参照して、レジスト膜11をマスクにして、プラズマ酸化膜10を選択的にエッチングし、写真関連マーク4の近傍に、化学的機械的研磨時の過研磨に対する支えとなる過研磨防止用支え部材17を残す。レジスト膜11を除去する。

【0033】図2と図3を参照してシリコン基板1の表面をCMPにより研磨する。図3と図4を参照して、塗化膜3と酸化膜2を除去する。図4に示す装置の平面図が図5である。すなわち、図5中における、X3-X4に沿う断面図が図4である。

【0034】さて、図1を参照して、写真関連マーク部4付近をどれくらいエッチングするかというと、プリエッヂ時の写真製版の重ね合わせずれ、レジスト寸法のばらつきを考慮して、写真関連マーク部4のパターンエッジから0.25~0.5μm程度離れたところまでエッチングすれば、写真関連マーク部4に埋まった高密度プラズマ酸化膜10は除去される。

【0035】この発明によれば、図3に示すように、CMP直後においても、CMP時にわざと残した過研磨防止用支え部材17が、写真関連マーク部4付近の過研磨を防ぐ働きをするために、過研磨が生じることなく、半導体基板の表面を平坦化できる。その結果、図4と図6(図4に示す装置の平面図)を参照して、A部分において、写真関連マーク部4付近のシリコン基板表面の削れがなく、またパターンエッジの落ち込みはなく、良好な

形状が得られる。これにより、基板リードやゲート酸化膜の信頼性の劣化、トランジスタ特性の劣化を防止することができる。また、チップ全面の平坦化の均一性や写真関連マークの検出精度も向上する。

#### 【0036】実施の形態2

実施の形態1では、写真関連マーク部4付近の過研磨を防ぐ働きをさせるために残した過研磨防止用支え部材17が、逆に残りすぎて、他の部分を研磨しても、過研磨防止用支え部材17が、研磨不足により、酸化膜残となって、残る可能性がある。実施の形態2は、この問題点を解決するためになされたものである。

【0037】まず、図14および図15に示す従来技術と同様の工程を経由する。次に、図7と図8と図11(図8に示す装置の平面図。すなわち、図11におけるX5-X6に沿う断面図が図8である)を参照して、過研磨防止用支え部材17を残す部分と、ブリエッヂで高密度プラズマ酸化膜を除去する部分12を交互に配置し、過研磨と研磨不足を同時に解消させるパターンにする。

【0038】図7を再び参照して、写真関連マーク部4付近のダイシング部5の活性面上に、高密度プラズマ酸化膜が残る部分とブリエッヂする部分12が交互になるように、レジスト膜11をパターニングする。このときのパターニング寸法は、抜き、残しともに最小にできることが望ましい。写真製版技術により、その最小寸法は異なる。また、交互に配置したときの抜き、残し比率は50%になることが望ましい。

【0039】図8は、ブリエッヂ後を示している。高密度プラズマ酸化膜17とブリエッヂする部分12が交互に配置された形状になっている。

【0040】図9は、CMP直後における半導体装置の断面図である。CMP時にわざと交互に残した高密度プラズマ酸化膜17が、写真関連マーク部4付近の過研磨および研磨不足を防ぐ働きをしながら、半導体基板の表面を平坦化できる。この過研磨および研磨不足を防ぐために、一番マージンができるのは、交互に配置したときの抜き残し面積比率が50%になるときである。

【0041】その結果、図10を参照して、窒化膜3およびパッド酸化膜2を除去したとき、図中Aで示す部分で、写真関連マーク部4付近のシリコン基板表面の削れやパターニングエッジ部の落ち込みではなく、良好な形状が得られる。これにより、基板リードやゲート酸化膜の信頼性の劣化、トランジスタ特性の劣化を防止することができる。また、チップ全面の平坦化の均一性や写真関連マークの検出精度も向上する。

#### 【0042】実施の形態3

図12は、実施の形態3に係る半導体装置の平面図である。図12は、写真関連マークを形成した部分の平面図である。

【0043】実施の形態3は、実施の形態1の変形例であり、写真関連マーク部4付近の過研磨防止のための高

密度プラズマ酸化膜17の残しが、ドットパターンになるようにしたものである。このときのパターニング寸法は、抜き残し面積比率が50%になるように、ドット残し:抜き =  $\sqrt{2}$  : (4 - 2 $\sqrt{2}$ ) の比率にすればよい。このとき、一定面積内の面積比は、ドット残し:抜き = 1 : 1 になる。また、そのときの寸法は、抜き、残しともに最小にできることが望ましい。図12におけるX7-X8に沿う断面図は、図8と同様の断面図となる。このように構成しても、実施の形態1と同様の効果が得られる。

#### 【0044】実施の形態4

図13は、実施の形態4に係る半導体装置の、写真関連マーク部分の平面図である。

【0045】図13を参照して、複数個の写真関連マーク4を集中させずに、分散させることにより、CMP時の研磨圧力を集中を防いで、写真関連マーク4を起点とする基板削れや落ち込み15を最小に食い止めることができる。各々の写真関連マーク4の最低限離す距離として、1mm程度は離しておきたい。実施の形態3は、上記実施の形態1~2と組合せることにより、CMPの過研磨をさらに抑制することができる。すなわち、実施の形態1および2によって得られる効果をさらに高めることができる。

【0046】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

#### 【0047】

【発明の効果】以上説明したとおり、この発明の第1の局面に従うシャロートレンチ分離を有する半導体装置の製造方法においては、写真関連マークの近傍に、CMP時の過研磨に対する支えとなる過研磨防止用支え部材を残すので、CMPによる過研磨を防ぎ、周囲の本番部への与える影響をなくすことができるという効果を奏する。

【0048】この発明の第2の局面に従うシャロートレンチ分離を有する半導体装置の製造方法においては、写真関連マークを、集中させないで、分散して形成するので、CMP時の研磨圧力の集中を防いで、写真関連マークを起点とする基板削れや落ち込みを最小に食い止めることができる。

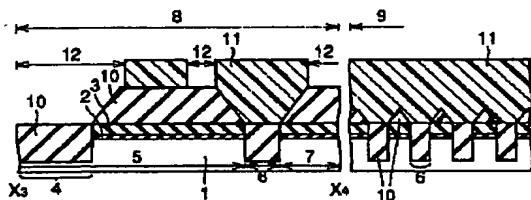
【0049】この発明の第3の局面に従うシャロートレンチ分離を有する半導体装置によれば、写真関連マークの近傍に、CMP時の過研磨に対する支えとなる、過研磨防止用支え部材を残して形成するので、CMPによる過研磨が防がれ、周囲の本番部へ与える影響をなくした、信頼性の高い、かつトランジスタ特性の良好な半導体装置となる。

【0050】この発明の第4の局面に従うシャロートレンチ分離を有する半導体装置によれば、写真関連マークを、集中させずに分散して形成するので、CMP時の研磨圧力の集中を防いで、写真関連マークを起点とする基板削れや落ち込みを最小に食い止めることができたり、ゲート酸化膜の信頼性が高く、かつトランジスタ特性の良好な半導体装置となる。

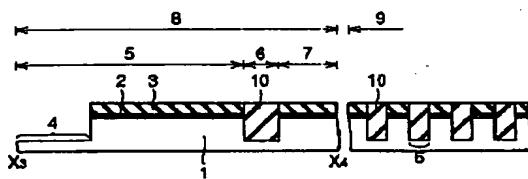
【図面の簡単な説明】

- 【図1】 実施の形態1に係る半導体装置の製造方法の順序の第1の工程における半導体装置の断面図である。
- 【図2】 実施の形態1に係る半導体装置の製造方法の順序の第2の工程における半導体装置の断面図である。
- 【図3】 実施の形態1に係る半導体装置の製造方法の順序の第3の工程における半導体装置の断面図である。
- 【図4】 実施の形態1に係る半導体装置の製造方法の順序の第4の工程における半導体装置の断面図である。
- 【図5】 図2に示す装置の平面図である。
- 【図6】 図4に示す装置の平面図である。
- 【図7】 実施の形態2に係る半導体装置の製造方法の順序の第1の工程における半導体装置の断面図である。
- 【図8】 実施の形態2に係る半導体装置の製造方法の順序の第2の工程における半導体装置の断面図である。
- 【図9】 実施の形態2に係る半導体装置の製造方法の順序の第3の工程における半導体装置の断面図である。
- 【図10】 実施の形態2に係る半導体装置の製造方法の順序の第4の工程における半導体装置の断面図である。

【図1】



【図3】



【図11】 図8に示す半導体装置の平面図である。

【図12】 実施の形態3に係る半導体装置の製造方法を示す、半導体装置の平面図である。

【図13】 実施の形態4に係る半導体装置の製造方法を示す、半導体装置の平面図である。

【図14】 従来の半導体装置の製造方法の順序の第1の工程における半導体の断面図である。

【図15】 従来の半導体装置の製造方法の順序の第2の工程における半導体の断面図である。

【図16】 従来の半導体装置の製造方法の順序の第3の工程における半導体の断面図である。

【図17】 従来の半導体装置の製造方法の順序の第4の工程における半導体の断面図である。

【図18】 従来の半導体装置の製造方法の順序の第5の工程における半導体の断面図である。

【図19】 従来の半導体装置の製造方法の順序の第6の工程における半導体の断面図である。

【図20】 図15に示す半導体装置の平面図である。

【図21】 図17に示す半導体装置の平面図である。

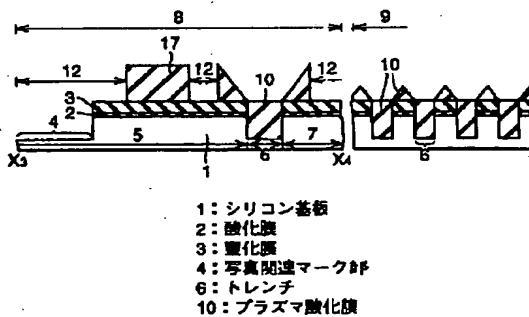
【図22】 図19に示す半導体装置の平面図である。

【図23】 従来の半導体装置の、写真関連マークの配置図を示す図である。

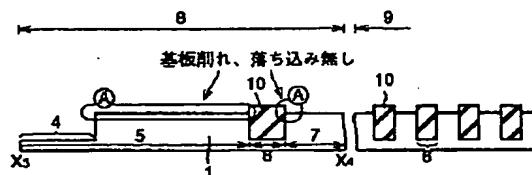
【符号の説明】

- 1:シリコン基板、2:酸化膜、3:塗化膜、4:写真関連マーク部、6:トレンチ、10:プラズマ酸化膜、11:レジスト膜。

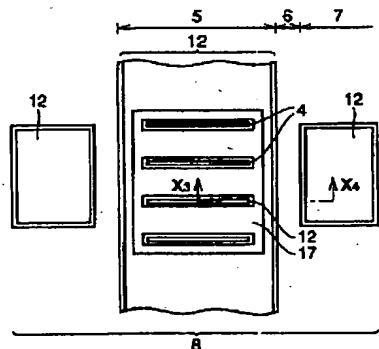
【図2】



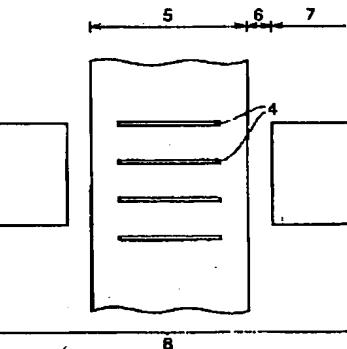
【図4】



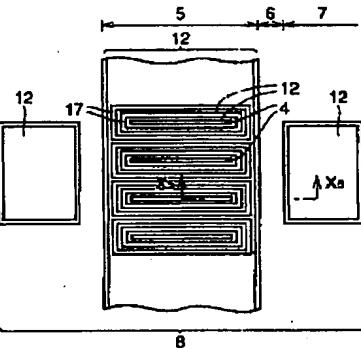
【図5】



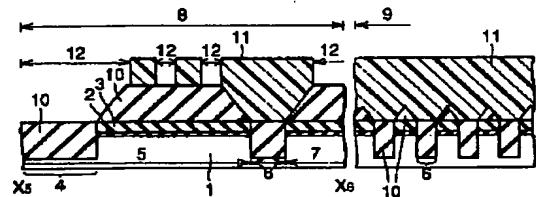
【図6】



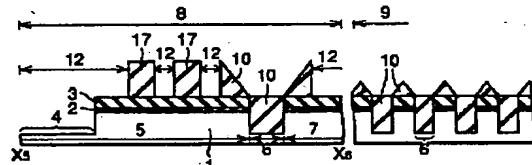
【図11】



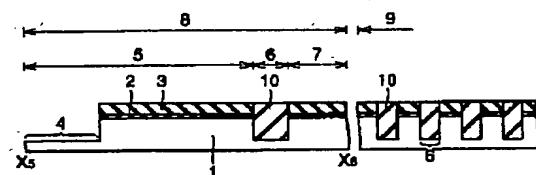
【図7】



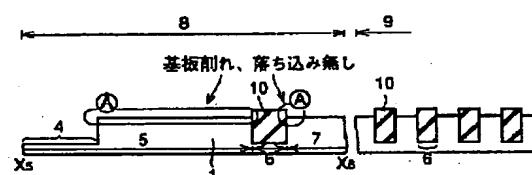
【図8】



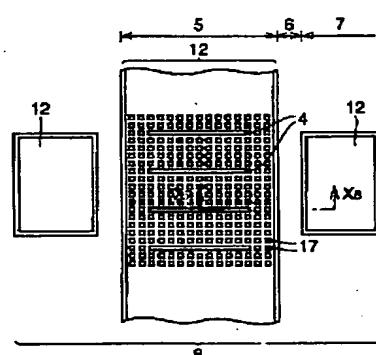
【図9】



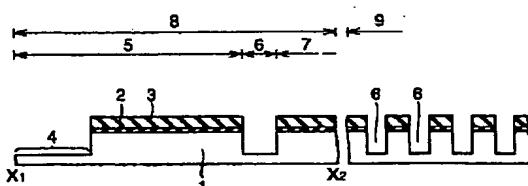
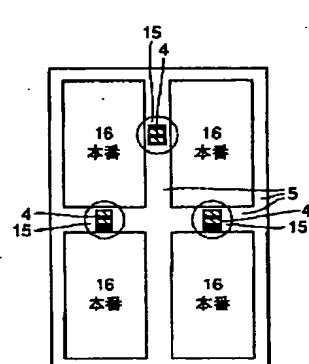
【図10】



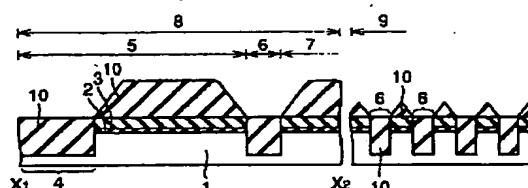
【図12】



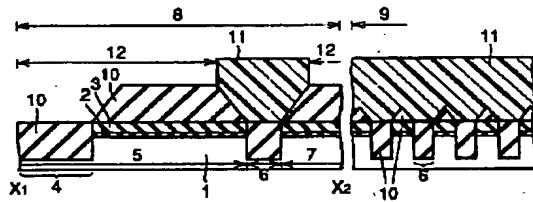
【図13】



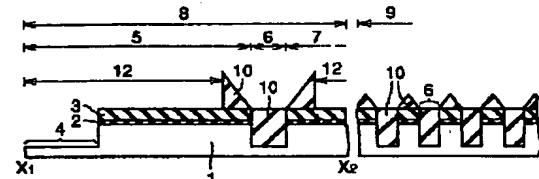
【図15】



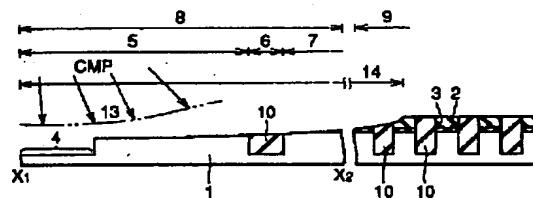
【図16】



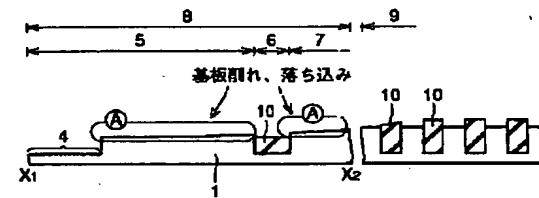
【図17】



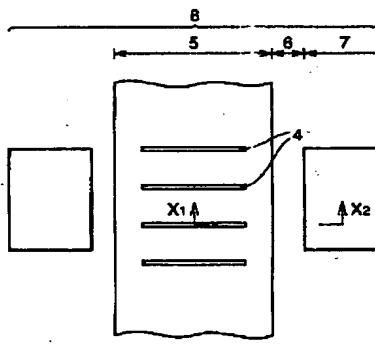
【図18】



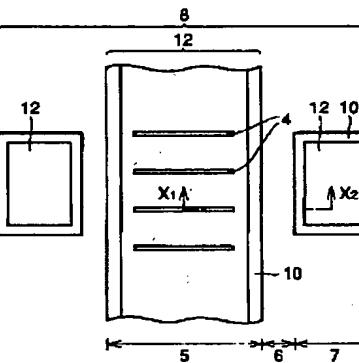
【図19】



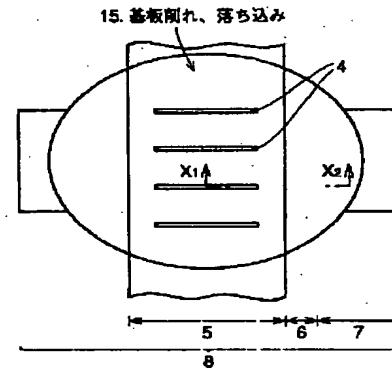
【図20】



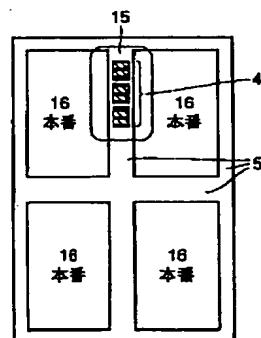
【図21】



【図22】



【図23】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.